

Diseño de un SoC para Detección de Complejos QRS en Señal Electrocardiográfica

Raquel Gutiérrez Rivas^{1,2}, Álvaro Hernández Alonso¹, Juan Jesús García Domínguez¹, William P. Marnane²

¹Departamento de Electrónica. Universidad de Alcalá. E-28805, Alcalá de Henares (Madrid), España.

²Department of Electrical and Electronic Engineering, University College Cork, Cork, Ireland.
raquel.gutierrez@depeca.uah.es

Abstract— A lo largo de las últimas tres décadas se han propuesto numerosos algoritmos de detección de complejos QRS. La mayoría de estos algoritmos se han centrado en la completa eliminación de los diferentes ruidos y artefactos que afectan a las señales electrocardiográficas y, debido al aumento del número de recursos disponibles en las plataformas de ejecución de los mismos, éstos han evolucionado hacia una complejidad cada vez mayor. En el área de monitorización remota es muy común el uso de dispositivos portátiles. Estos dispositivos, por un lado, disponen de un número de recursos reducidos y, por otro, se alimentan a través de baterías. Debido a esto, es necesario llegar a un compromiso entre la precisión de los algoritmos que se implementen en ellos y su complejidad. En este trabajo se propone un detector de complejos QRS eficiente y se detalla su implementación sobre una arquitectura SoC (System-on-Chip) basada en una FPGA (Field-Programmable Gate Array). Los resultados muestran que, empleando un número de recursos acotado, se obtienen unos valores de sensibilidad y predictibilidad positiva superiores a 99,49 %, que hacen viable la implementación realizada para su uso en aplicaciones de telemedicina.

Index Terms— ECG, Complejos QRS, System-on-Chip (SoC), FPGA, Sistemas de tiempo real.

I. INTRODUCCIÓN

EL incremento de la esperanza de vida en la mayoría de los países desarrollados [1], junto con la rápida evolución de la tecnología y la medicina moderna, ha provocado que cada vez un mayor número de investigadores centren sus esfuerzos en el desarrollo de sistemas de telemedicina. Estos sistemas, por un lado aumentan la seguridad y el control de los pacientes hospitalarios y, por otro, reducen tanto los costes económicos como las listas de espera de los sistemas sanitarios. Una de las áreas de la telemedicina a la que se le está dedicando gran parte de esta atención es al desarrollo de sistemas de monitorización remotos. Estos sistemas están compuestos por una serie de sensores de diferentes tipos, según cada caso, unidos a un dispositivo central capaz de recolectar la información adquirida por dichos sensores y enviársela de forma remota al equipo médico encargado del cuidado de cada paciente, e incluso, de analizar dicha información y extraer conclusiones.

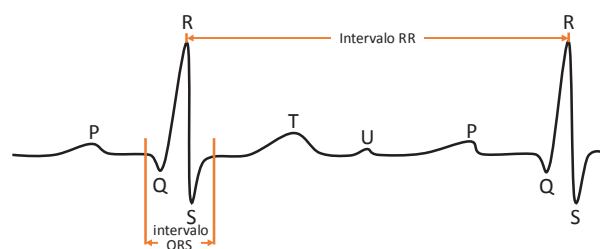


Fig. 1. Definición de parámetros significativos de la señal ECG.

Uno de los sistemas fisiológicos más estudiados es el cardíaco a través del análisis de la señal electrocardiográfica (ECG). La señal ECG representa la suma de los potenciales de acción que se dan en las válvulas y músculos cardíacos durante un latido, como muestra la Fig. 1 donde se reflejan los picos (Q, R y S), las ondas (P, T, U y complejo QRS) y los intervalos (QRS y RR) más significativos de la misma. Las características de cada una de estas ondas en cuanto a duración y amplitud se han acotado en numerosos estudios y, por lo tanto, son objeto de estudio para la detección de diferentes enfermedades cardíacas. Por otra parte, existe relación entre las variaciones del ritmo cardíaco y el funcionamiento de diferentes sistemas fisiológicos [2]. Estas variaciones se observan representando los intervalos temporales entre todos los pares de latidos consecutivos, o intervalos RR (Heart Rate Variability, HRV).

Para la obtención de la HRV es necesario detectar con una determinada precisión el momento en el que se produce cada latido, es decir, la posición de cada uno de los picos R (Fig. 1) de la señal ECG. Esta detección no es trivial, debido a que la señal electrocardiográfica puede estar afectada por diversos ruidos y artefactos [9]. Por el hecho de medirse de forma no invasiva a través de electrodos superficiales, pueden aparecer artefactos provocados por el propio movimiento o mal contacto de los mismos. Además, debido a la posición en la que se colocan dichos electrodos, éstos captan las señales electromiográficas producidas por la activación de los músculos del tórax, lo que se traduce en ruido electromiográfico en la medida del ECG. La respiración provoca, también, un ruido de baja frecuencia que se acopla al electrocardiograma. Debido a la red eléctrica, también aparecerá una componente de ruido a 50Hz. Todos estos

ruidos y artefactos dificultan el análisis del ECG en mayor o menor medida.

Gracias a la constante evolución de la capacidad de computación de los ordenadores, muchos de los detectores de complejos QRS propuestos durante los últimos 30 años se han enfocado en la eliminación casi completa de todos estos ruidos, empleando para ello complejos procesos computacionales y filtros de orden muy elevado, consiguiendo con ello la obtención de precisiones cercanas al 100 % [10]–[13]. En el área de monitorización remota de pacientes, sin embargo, estos detectores no son válidos debido a que en este caso se hace uso de dispositivos portátiles, y éstos no disponen de todos los recursos necesarios para implementar dichos algoritmos. Además, es necesario que estos dispositivos, no sólo analicen la señal electrocardiográfica, sino que, con los resultados de estos análisis, sean capaces de detectar, por ejemplo, un problema cardiaco. Estos procesos deben poder realizarse en tiempo real, minimizando en lo posible el consumo de manera que se aumente la autonomía de dichos dispositivos. Por este motivo, es necesario diseñar algoritmos que no sólo tengan una precisión cuanto más alta mejor, sino que puedan realizar dichas detecciones de una forma eficiente tanto desde el punto de vista de consumo de recursos, como de tiempo de cómputo.

En este sentido, los dispositivos lógicos programables, y más concretamente las FPGA (Field-Programmable Gate Array), suponen una solución atractiva en la implementación en tiempo real y en el diseño de prototipos portátiles para el procesamiento de señales biomédicas [14] [15]. Al reducido tiempo de desarrollo, se une la flexibilidad de las arquitecturas para adaptarse a los distintos requisitos presentados por los algoritmos, siendo posible dimensionar las soluciones en función del consumo de recursos, del consumo energético, y de prestaciones temporales, como throughput o latencia. Por otro lado, los systems-on-chip (SoC) basados en FPGA aportan una ventaja adicional, al unir la flexibilidad y adecuación al algoritmo de la lógica programable con la capacidad de cálculo y versatilidad proporcionada por el procesador existente en el sistema [16] [17].

En este trabajo se propone la definición y diseño de una arquitectura SoC, basada en un dispositivo FPGA, para la implementación en tiempo real de un detector de complejos QRS. La adecuación del algoritmo de detección a la arquitectura SoC se ha realizado, no sólo en términos de consumo de recursos y velocidad, sino también considerando las precisiones mínimas a alcanzar por la propuesta en la detección de complejos QRS. El resto del trabajo se encuentra organizado del siguiente modo: la sección II describe el algoritmo de detección de complejos QRS considerado; la sección III detalla el diseño la arquitectura SoC propuesta; la sección IV describe los resultados experimentales obtenidos; y finalmente, las conclusiones son expuestas en la sección V.

II. DETECCIÓN DE COMPLEJOS QRS

La Fig. 2. muestra el diagrama de bloques del algoritmo de detección de complejos QRS diseñado por los autores. Como puede observarse en dicha figura, éste está compuesto por una primera etapa de acondicionamiento de la señal ECG, o bloque de pre-procesado, en la que se reducen la mayor parte de los ruidos de alta y baja frecuencia; y una etapa de detección de picos R.

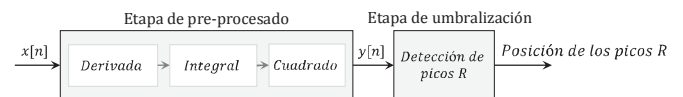


Fig. 2. Diagrama de bloques del algoritmo de detección de complejos QRS propuesto.

A. Etapa de pre-procesado

En esta etapa se procesa la señal ECG empleando los mínimos recursos posibles para reducir en todo lo posible los artefactos mencionados anteriormente. Para esto, se llevan a cabo las siguientes operaciones.

En primer lugar, se deriva la señal ECG de entrada $x[n]$, donde N_d es el retardo usado en la derivación (1), para reducir los ruidos de baja frecuencia como el provocado, por ejemplo, por la respiración. A continuación, se emplea un filtro de media móvil con tamaño N (2) para reducir los artefactos de alta frecuencia en la señal $y_0[n]$, como los producidos por la activación de los músculos. Por último, con el objetivo de enfatizar los picos R y trabajar con una señal únicamente positiva, se eleva cada muestra $y_1[n]$ al cuadrado para obtener la señal final de salida $y[n]$ (3). La Fig. 3 muestra los resultados de las diferentes operaciones llevadas a cabo en la fase de pre procesado.

$$y_0[n] = x[n] - x[n - N_d] \quad (1)$$

$$y_1[n] = \frac{1}{N-1} \sum_{k=0}^{N-1} y_0[n-k] \quad (2)$$

$$y[n] = (y_1[n])^2 \quad (3)$$

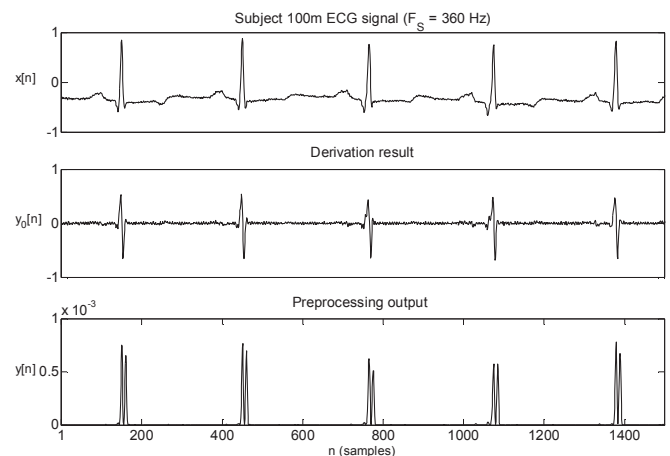


Fig. 3. Señal ECG de entrada $x[n]$ y señales, $y_0[n]$ e $y[n]$, resultantes de las operaciones llevadas a cabo en la fase de pre-procesado.

B. Etapa de detección

Una vez se ha pre-procesado la señal ECG, $x[n]$, se dispone de una señal $y[n]$ positiva que presenta, por lo general, dos picos por cada complejo QRS. Ambos picos pertenecen a dicho complejo, por lo que se considera una detección válida la detección de cualquiera de los dos.

Para la detección de los complejos QRS se ha empleado un umbral dinámico $t_h[n]$ cuya amplitud depende de la amplitud de la propia señal ECG $x[n]$ y que está controlada por una máquina de estados (Finite State Machine, FSM) de 3 estados. El esquema de la Fig. 4 resume el funcionamiento de la FSM, mientras que en la Fig. 5 se muestra la relación entre cada uno de los estados con la fase de la señal ECG $x[n]$. El proceso llevado a cabo es el siguiente:

Estado 1: Búsqueda de un máximo. Este estado tiene una duración fija cuyo valor es RR_{min} (mínimo intervalo RR posible) más la duración estándar de un complejo QRS, QRS_{int} . Durante este intervalo se busca un máximo, que será clasificado como pico R ($R_{peakPOS}$). El umbral de detección $t_h[n]$ al finalizar este estado toma el valor medio de todos los picos R detectados ($R_{peakAmp}$ en la Fig. 4) hasta este instante.

Estado 2: Estado de espera. La duración de este estado será RR_{min} menos la diferencia entre el final del estado anterior y la posición del pico R dentro del mismo (d en la Fig. 5). Durante este estado no se realiza ninguna operación con el objetivo de no detectar ondas T como picos R_{peak} (véase la Fig. 1).

Estado 3: Decremento del umbral. Durante este estado, y por cada nueva muestra $x[n]$ del ECG, se disminuye el valor del umbral de detección $t_h[n]$ de forma exponencial siguiendo (4).

$$t_h[n] = t_h[n-1] \cdot e^{-P_{th} \cdot T_s} \quad (4)$$

Donde P_{th} es un parámetro fijado experimentalmente para controlar la pendiente de la exponencial; y T_s es el periodo de muestreo de la señal ECG $x[n]$. Este estado finaliza cuando la amplitud del umbral iguala la amplitud de la señal $y[n]$ de entrada a la máquina de estados.

III. ARQUITECTURA PROPUESTA

Para el algoritmo de detección de complejos QRS descrito anteriormente se ha propuesto una arquitectura eficiente para su implementación en tiempo real sobre un dispositivo de la familia Zynq de Xilinx [18], según se muestra en la Fig. 6. Al procesador hardware ARM existente en la familia Zynq se le ha añadido un periférico avanzado desarrollado sobre los recursos lógicos configurables disponibles en el dispositivo [18] [19]. Este periférico específico lleva a cabo las etapas de pre-procesamiento y detección de los máximos R, según se ha detallado en el apartado anterior. El procesador lleva a cabo la configuración y supervisión de dicho periférico, así como la gestión de un enlace Ethernet. Por último, un módulo DMA permite capturar en tiempo real las señales involucradas en el procesamiento QRS para su almacenamiento en memoria externa DDR3, desde donde puede ser accedida posteriormente por el propio procesador.

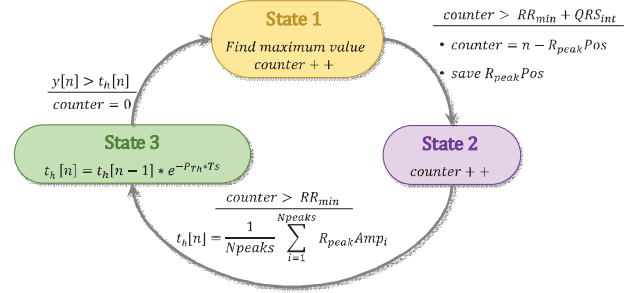


Fig. 4. Esquema de FSM que controla el valor del umbral de detección $t_h[n]$.

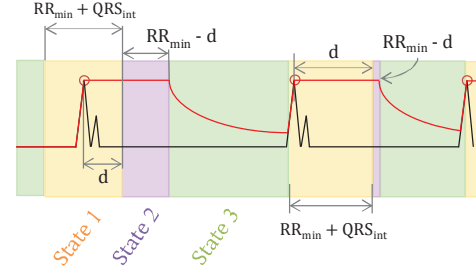


Fig. 5. Fases de la señal ECG correspondientes a cada uno de los estados de la FSM.

La señal $x[n]$ adquirida por el ADC a una frecuencia $f_s=360\text{Hz}$ es en primer lugar procesada por el bloque derivativo de la etapa de pre-procesamiento, como se puede observar en la Fig. 2. Para la implementación de este módulo se ha diseñado un filtro FIR genérico a partir de una celda DSP48E1 configurada como multiplicación y acumulación [20], como se puede observar en la Fig. 7. Las muestras de entrada $x[n]$ y los coeficientes c_n se almacenan en *slices* configurados como registros de desplazamiento SRL16 [19], lo que limita el filtro FIR propuesto a un orden máximo de 16 coeficientes. En cualquier caso, tanto el orden final del filtro como los coeficientes c_n pueden ser modificados en tiempo de ejecución por el procesador, de forma que se implemente la función matemática deseada, incluyendo (1) como es este caso. Debe observarse que, debido a que la frecuencia de reloj principal de la lógica configurable en el dispositivo Zynq será $f_{CLK}=100\text{MHz}$, mientras que la frecuencia de muestreo es $f_s=360\text{Hz}$, se ha planteado una arquitectura completamente secuencial, con la utilización a lo largo del tiempo de una única celda DSP48E1 para la implementación del filtro [19]. De esta forma, el módulo presenta una latencia de 18 ciclos de reloj f_{CLK} , lo cual permite el procesamiento en tiempo real de la señal de entrada $x[n]$ a 360Hz.

A continuación, y dentro de la etapa de pre-procesamiento, se encuentra un módulo encargado de realizar una media móvil de N elementos, según (2). Dicho bloque ha sido diseñado según el diagrama mostrado en la Fig. 8, a partir de un buffer con N posiciones, y una celda DSP48E1 para realizar las operaciones de acumulación y división por el número N de muestras. La arquitectura es configurable, permitiendo modificar en tiempo de ejecución la ventana N de la media móvil. El diseño presenta una latencia de 7 ciclos de reloj f_{CLK} .

Por último, la etapa de pre-procesamiento finaliza con un módulo cuadrático según (3), que ha sido implementado mediante una única celda DSP48E1, con una latencia de 5 ciclos de reloj f_{CLK} . Todo el conjunto de la etapa de pre-procesamiento presenta una latencia global de 30 ciclos de f_{CLK} , lo cual permite avanzar en el datapath con tiempo suficiente para proporcionar una salida $y[n]$ antes de la siguiente muestra de entrada $x[n]$, adquirida a una frecuencia de $f_s=360\text{Hz}$.

La señal $y[n]$ procedente de la etapa de procesamiento es analizada por la máquina de estados (FSM) encargada de la detección de los máximos R, según se ha mostrado en la Fig. 2.

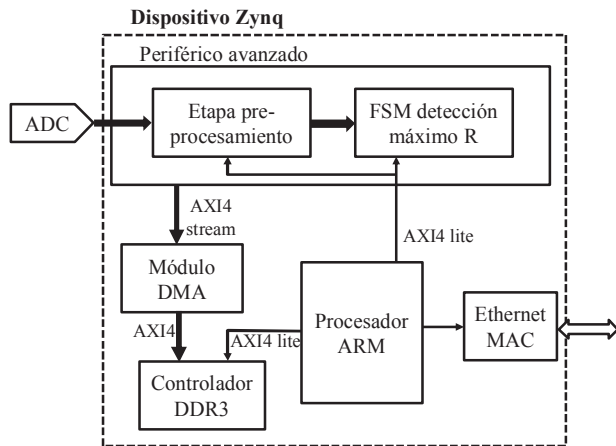


Fig. 6. Diagrama de bloques general propuesto para la arquitectura SoC.

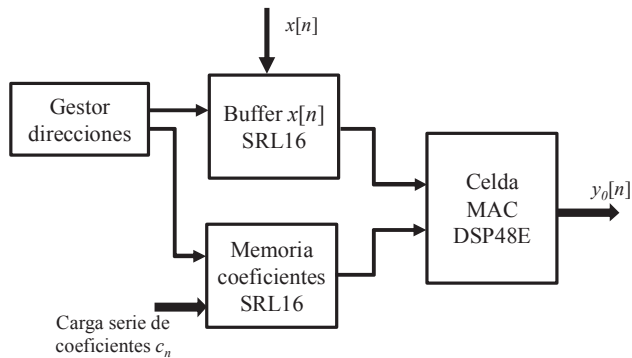


Fig.7. Diagrama de bloques del filtro genérico empleado como módulo derivativo.

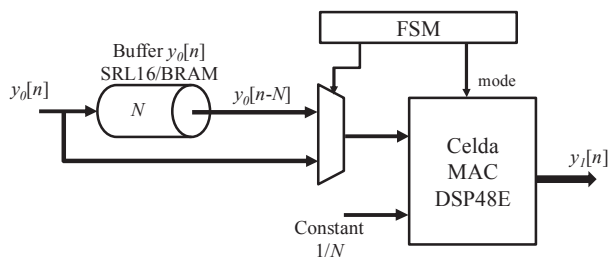


Fig. 8. Diagrama de bloques del módulo media móvil.

Del análisis de la Fig. 4 se puede concluir que la mayor complejidad en la implementación de esta máquina de estados

se encuentra en la función exponencial asociada al estado 3. Dicha función exponencial ha sido aproximada mediante una serie de Taylor de 3 términos, según se expresa en (5).

$$t_h[n] = t_h[n] e^{-P_{th} \cdot T_s} \approx t_h[n] \left(1 - P_{th} \cdot T_s + \frac{(P_{th} \cdot T_s)^2}{2} \right) \quad (5)$$

De esta forma, la función exponencial $e^{-P_{th} \cdot T_s}$ es implementada mediante dos celdas DSP48E1, una dedicada a la multiplicación $P_{th} \cdot T_s$, y otra a la aproximación mostrada en (5). Se emplea una tercera celda DSP48E1 para la multiplicación $t_h[n] \cdot e^{-P_{th} \cdot T_s}$, todas ellas asociadas al estado 3. El resto de operaciones que aparecen en otros estados son resueltas mediante sumadores genéricos. El módulo FSM para detección de máximos R en la señal ECG presenta una latencia máxima en el peor de los casos de 11 ciclos de reloj f_{CLK} . Aquellas muestras $x[n]$ en las que se valida un máximo R_{peak} son etiquetadas como tales por la FSM, y se envía la información correspondiente al procesador para su posterior análisis y comparación de resultados, a través de la conexión por el bus AXI4 [18].

IV. RESULTADOS

La arquitectura descrita en el apartado anterior implica una representación numérica en coma fija del procesamiento propuesto para la señal ECG en el periférico avanzado para su adaptación a los recursos disponibles en la FPGA [18]. A pesar de las ventajas propias de este tipo de representación, implica siempre un error de cuantificación sobre los resultados finales, que debe ser cuidadosamente analizado. En la Tabla I se muestran los anchos de palabra definidos para las principales señales de la arquitectura descrita anteriormente. Debe tenerse en cuenta que la mayor parte de estos anchos viene limitado por el tamaño de los datos de entrada (18 bits para la FPGA empleada) en las celdas multiplicadores DSP48E1 [20].

TABLA I.
DIMENSIONES DEL DATAPATH EN LA ARQUITECTURA PROPUESTA.

Parámetros	Número de bits	Nº de bits fraccionarios
Entrada $x[n]$	12	11
Coefficientes c_n	16	14
Señal $y_0[n]$	18	17
Señal $y_1[n]$	18	17
Señal $y[n]$	18	17
Umbral $t_h[n]$	18	17
Periodo T_s	9	0
Contadores internos	12	0

TABLA II.
CONSUMO DE RECURSOS DEL SISTEMA PROPUESTO EN UNA FPGA ZYNQ XC7Z010.

Recurso	Pre-procesamiento	FSM	Sistema global
DSP48E1	3	3	6 (7%)
RAMB36	6	0	7 (11%)
RAMB18	0	0	3 (2%)
Slices	211	121	1083 (24%)

El sistema completo ha sido implementado sobre la plataforma Zybo de Digilent, Inc. Esta tarjeta está basada en una FPGA Zynq XC7Z010 de Xilinx [19]. En la Tabla II se pueden observar el consumo de recursos de los diferentes elementos del sistema. Nótese que las cantidades referidas al sistema global incluyen también los recursos dedicados a comunicaciones y control del conversor ADC de entrada.

Finalmente la propuesta ha sido verificada exitosamente para diferentes señales ECGs de entrada $x[n]$, correspondientes a pacientes con diversas patologías y condiciones, que dificultaban en diversa medida la correcta detección de complejos QRS. A modo de ejemplo, se muestra en la Fig. 9 una señal ECG adquirida a 360Hz, y que ha sido procesada por el algoritmo descrito en su versión en coma flotante en Matlab, según se muestra en la Fig. 10; así como por la arquitectura propuesta en la FPGA, obteniendo los resultados mostrados en la Fig. 11. Nótese que se trata de una captura compleja, con abundante ruido, espurios y derivas en la línea base. Las métricas empleadas para evaluar el algoritmo propuesto son las siguientes:

- TP (True Positive): máximo R_{peak} correctamente detectado.
- FN (False Negative): máximo R_{peak} no detectado.
- FP (False Positive): Pico de ruido clasificado erróneamente como máximo R_{peak} .
- Sensibilidad (Se):

$$Se = \frac{TP}{TP + FN} \quad (6)$$

- Predictibilidad positiva (P+):

$$P+ = \frac{TP}{TP + FP} \quad (7)$$

TABLA III.

COMPARACIÓN DE RESULTADOS ENTRE LA VERSIÓN EN COMA FLOTANTE Y LA ARQUITECTURA SoC PROPUESTA.

Parámetros	Versión coma flotante	Versión SoC coma fija
Picos R	110910	109948
TP	110410	109391
FN	500	557
FP	289	248
Se	99.549	99.493
P+	99.739	99.774

Si se analizan cuantitativamente los resultados obtenidos con la arquitectura propuesta, en comparación con los obtenidos con la implementación en coma flotante del mismo algoritmo, en términos de sensibilidad Se y predictibilidad positiva $P+$, se puede comprobar cómo los resultados alcanzados en la implementación hardware son equiparables a los originales, según se muestra en la Tabla III. En esta tabla se detallan los resultados obtenidos analizando el algoritmo propuesto, tanto en coma flotante como fija, sobre

la base de datos proporcionada por el MIT (MITDB), disponible en Physionet [21].

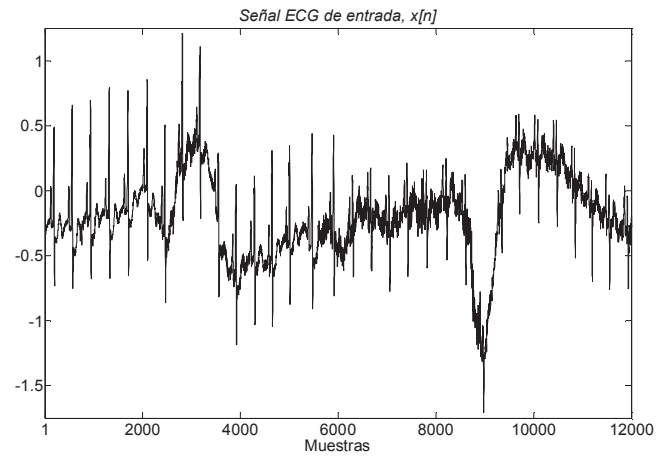


Fig. 9. Señal ECG de entrada $x[n]$ con abundante ruido, espurios y derivas en la línea base, adquirida a 360Hz.

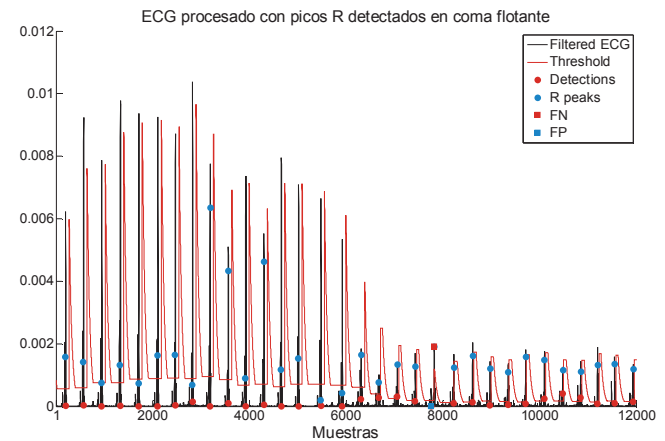


Fig. 10. Señal ECG procesada en coma flotante, con detección de complejos QRS, para la señal de entrada $x[n]$ mostrada en la Fig. 9.

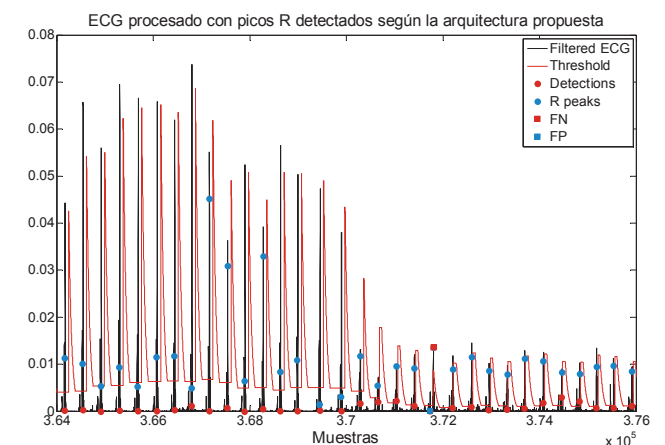


Fig. 11. Señal ECG procesada con detección del complejo QRS, mediante la arquitectura hardware propuesta, para la señal de entrada $x[n]$ mostrada en la Fig. 9.

V. CONCLUSIONES

En este trabajo se ha presentado la definición y diseño de una

arquitectura SoC basada en un dispositivo FPGA para la implementación en tiempo real de un algoritmo de detección de complejos QRS en señales ECG, propuesto también por los autores. La arquitectura se basa en un procesador ARM al que se conecta un periférico avanzado, específicamente diseñado para abordar la computación requerida por el algoritmo de detección del complejo QRS. Para ello, el algoritmo ha sido analizado para su representación en coma fija, considerando su error de cuantificación, así como en términos de anchura de datapath, frecuencias de funcionamiento y tasas de datos. La arquitectura propuesta ha sido satisfactoriamente validada mediante diversas señales ECG de elevada complejidad.

VI. AGRADECIMIENTOS

Este trabajo ha sido posible gracias al Ministerio de Economía y Competitividad de España (proyecto DISSECT-SOC, ref. TEC2012-38058-C03-03; y proyecto LORIS, TIN2012-38080-C04-01), y a la Universidad de Alcalá (proyecto iPULSE, ref. CCG2014/EXP-084; proyecto Am y programa FPI).

REFERENCIAS

- [1] Global Agenda Council on Ageing Society, "Global Population Ageing: Peril or Promise?," 2011.
- [2] G. G. Berntson, J. Thomas Bigger, D. L. Eckberg, P. Grossman, P. Kaufmann, M. Malik, H. N. Nagaraja, S. W. Porges, J. P. Saul, P. H. Stone, and M. W. Der molen, "Heart rate variability: Origins, methods, and interpretive caveats," *Psychophysiology*, vol. 34, no. 6, pp. 623–648, Nov. 1997.
- [3] M. Bsoul, H. Minn, and L. Tamil, "Apnea MedAssist: real-time sleep apnea monitor using single-lead ECG.," *IEEE Trans. Inf. Technol. Biomed.*, vol. 15, no. 3, pp. 416–27, May 2011.
- [4] F. Massé, M. Van Bussel, A. Serteyn, J. Arends, and J. Penders, "Miniaturized wireless ECG monitor for real-time detection of epileptic seizures," *ACM Trans. Embed. Comput. Syst.*, vol. 12, no. 4, p. 1, Jun. 2013.
- [5] R. Goya-Esteban, E. Sarabia-cachadina, B. De la cruz-Torres, and L. Rojo-Alvarez, "Heart Rate Variability Non Linear Dynamics in Intense Exercise," in *Computing in Cardiology (CinC)*, 2012, pp. 177–180.
- [6] J. De Jonckheere, T. Rakza, R. Logier, M. Jeanne, R. Jounwaz, and L. Storme, "Heart rate variability analysis for newborn infants prolonged pain assessment.," *Conf. Proc. IEEE Eng. Med. Biol. Soc.*, vol. 2011, pp. 7747–50, Jan. 2011.
- [7] M. B. Malarvili and M. Mesbah, "Newborn seizure detection based on heart rate variability.," *IEEE Trans. Biomed. Eng.*, vol. 56, no. 11, pp. 2594–603, Nov. 2009.
- [8] A. Fanelli, G. Magenes, M. Campanile, and M. G. Signorini, "Quantitative Assessment of Fetal Well-Being Through CTG Recordings: A New Parameter Based on Phase-Rectified Signal Average," *IEEE J. Biomed. Heal. Informatics*, vol. 17, no. 5, pp. 959–966, Sep. 2013.
- [9] G. M. Friesen, T. C. Jannett, M. a Jadallah, S. L. Yates, S. R. Quint, and H. T. Nagle, "A comparison of the noise sensitivity of nine QRS detection algorithms.," *IEEE Trans. Biomed. Eng.*, vol. 37, no. 1, pp. 85–98, Jan. 1990.
- [10] H.-K. Jung, Y. Noh, and D. Jeong, "A Design of EMD-based Filter to Remove Motion artifacts in Wireless ECG Monitoring," *J. Conver. Inf. Technol.*, vol. 8, no. 11, pp. 660–668, Jun. 2013.
- [11] K.-M. Chang and S.-H. Liu, "Gaussian Noise Filtering from ECG by Wiener Filter and Ensemble Empirical Mode Decomposition," *J. Signal Process. Syst.*, vol. 64, no. 2, pp. 249–264, Feb. 2010.
- [12] J. Lee and G. Lee, "Design of an Adaptive Filter with a Dynamic Structure for ECG Signal Processing," *Int. J. Control. Autom. Syst.*, vol. 3, no. 1, pp. 137–142, 2005.
- [13] E. Zeraatkar, S. Kermani, A. Mehridehnavi, and A. Aminzadeh, "Improving QRS detection for artifacts reduction," in *2010 17th Iranian Conference of Biomedical Engineering (ICBME)*, 2010, no. November, pp. 1–4.
- [14] A. Banerjee, A. Sundar Dhar, and S. Banerjee, "FPGA realization of a CORDIC based FFT processor for biomedical signal processing," *Microprocess. Microsyst.*, vol. 25, no. 3, pp. 131–142, May 2001.
- [15] D. P. Morales, A. García, E. Castillo, M. a. Carvajal, J. Banqueri, and A. J. Palma, "Flexible ECG acquisition system based on analog and digital reconfigurable devices," *Sensors Actuators A Phys.*, vol. 165, no. 2, pp. 261–270, Feb. 2011.
- [16] N. Van Helleputte, J. M. Tomasik, W. Galjan, A. Mora-Sanchez, D. Schroeder, W. H. Krautschneider, and R. Puers, "A flexible system-on-chip (SoC) for biomedical signal acquisition and processing," *Sensors Actuators A Phys.*, vol. 142, no. 1, pp. 361–368, Mar. 2008.
- [17] H. Kim, S. Kim, N. Van Helleputte, A. Artes, M. Konijnenburg, J. Huisken, C. Van Hoof, and R. F. Yazicioglu, "A configurable and low-power mixed signal SoC for portable ECG monitoring applications.," *IEEE Trans. Biomed. Circuits Syst.*, vol. 8, no. 2, pp. 257–67, Apr. 2014.
- [18] Xilinx Inc., *Zynq-7000 All Programmable SoC Technical Reference Manual*, User Guide. 2014.
- [19] Xilinx Inc., *7 Series FPGAs Overview*, Product Specification. 2014.
- [20] Xilinx Inc., *7 Series DSP48E1 Slice*, User Guide. 2014.
- [21] A. L. Goldberger, L. A. N. Amaral, L. Glass, J. M. Hausdorff, P. C. Ivanov, R. G. Mark, J. E. Mietus, G. B. Moody, C.-K. Peng, and H. E. Stanley, "PhysioBank, PhysioToolkit, and PhysioNet: Components of a New Research Resource for Complex Physiologic Signals," *Circ. 101*, vol. 101, no. 23, pp. e215–e220, Jun. 2000.